

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-321222**

(43)Date of publication of application : **08.12.1995**

H01L 21/8238  
H01L 27/092  
H01L 29/78

(71)Applicant : **INTERNATL BUSINESS MACH CORP <IBM>**

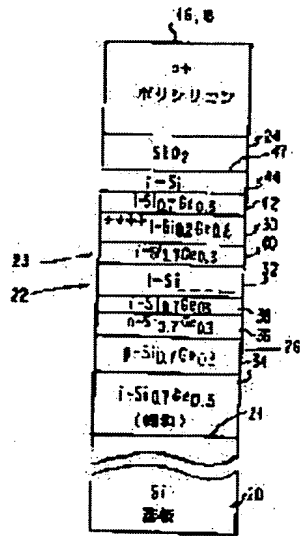
(72)Inventor : ISMAIL KHALED E  
STERN FRANK

Priority number : **94 246549**      Priority date : **20.05.1994**      Priority country : **US**

**(54) CMOS TRANSISTOR LOGIC CIRCUIT USING STRAIN SI/SIGE HETERO STRUCTURE LAYER**

**PURPOSE:** To enable both an n-type device and a p-type device to be formed as a common planar structure, by forming a semiconductor layer receiving a tensile strain and a semiconductor layer receiving a compressive strain on a semiconductor substrate.

**CONSTITUTION:** A field effect transistor has a planar hetero structure 22 composed of a plurality of layers 23. The planar hetero structure 22 consists of a first ease Si<sub>1-x</sub>Ge layer 34 of a Ge molar fraction (x) in a range of 0.2–0.5, an Si layer 32 receiving a tensile strain, a thin ease layer SiGe layer 40, and an SiGe layer 30 receiving a compression strain and having a Ge molar fraction (y) in a range of 0.5–1.0. In this case, y–x is larger than 0.2. The Si layer 32 receiving the tensile strain acts as an n-type channel for an n-type field effect transistor, and the SiGe layer 30 receiving the compressive strain acts as a p-type channel for a p-type field effect transistor. Therefore, the n-type device and p-type device can be utilized as a common planar structure.



## LEGAL STATUS

[Date of request for examination] 28.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2994227

[Date of registration] 22.10.1999

[Number of appeal against examiner's decision of]

rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-321222

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8238

27/092

29/78

H 0 1 L 27/ 08

3 2 1 B

29/ 78

3 0 1 B

審査請求 未請求 請求項の数26 O L (全 14 頁)

(21)出願番号 特願平7-97158

(22)出願日 平成7年(1995)4月21日

(31)優先権主張番号 2 4 6 5 4 9

(32)優先日 1994年5月20日

(33)優先権主張国 米国 (US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72)発明者 ハーレド・イー・イスマーイール

エジプト カイロ ザマレク アブー・エル・フェダー・ストリート 9

(74)代理人 弁理士 合田 潔 (外2名)

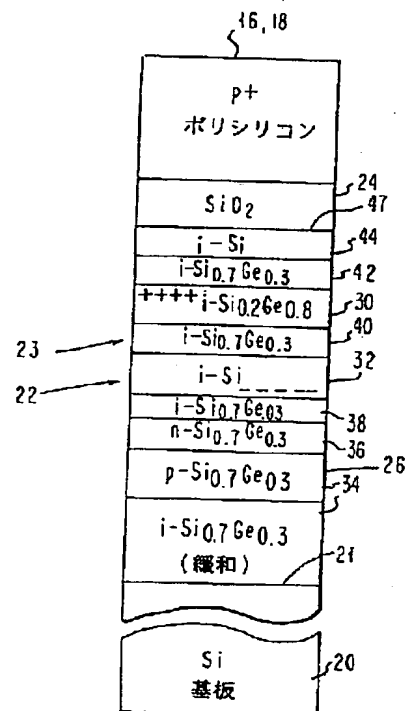
最終頁に続く

(54)【発明の名称】 ひずみSi/SiGeヘテロ構造層を使用するCMOSトランジスタ論理回路

(57)【要約】

【目的】 n型デバイスとp型デバイスを共に共通のプレーナ構造として利用できる層構造を提供する。

【構成】 半導体基板上に複数の半導体層を備え、1つの層が、引張りひずみを受けるシリコンまたはシリコン・ゲルマニウムであり、1つの層が、圧縮ひずみを受けるシリコン・ゲルマニウムであり、引張りを受けるシリコン層またはシリコン・ゲルマニウム層でn型電界効果トランジスタを形成することができ、圧縮を受けるシリコン・ゲルマニウム層でp型電界効果トランジスタを形成することができるプレーナ・ヘテロ構造である。複数の層は、続いて形成されるp型電界効果トランジスタとn型電界効果トランジスタの両方に共通のものでよい。p型電界効果トランジスタとn型電界効果トランジスタは、CMOS回路を形成するように相互接続することができる。



## 【特許請求の範囲】

【請求項 1】 n 型電界効果トランジスタと p 型電界効果トランジスタの両方用の層構造において、

半導体基板と、

Ge 分率  $x$  が 0.20 ないし 0.5 の範囲である、前記基板上にエピタキシャル形成された第 1 の緩和  $Si_{1-x}Ge_x$  層と、

前記第 1 の層上にエピタキシャル形成された第 2 の n ドーパ  $Si_{1-x}Ge_x$  層と、

前記第 2 の層上にエピタキシャル形成された第 3 の非ドーパ  $Si_{1-x}Ge_x$  層と、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第 3 の層上にエピタキシャル形成され、引張りひずみを受ける、第 4 の層と、

前記第 4 の層上にエピタキシャル形成された第 5 の緩和  $Si_{1-x}Ge_x$  層と、

Ge 分率  $y$  が 0.5 ないし 1.0 の範囲であり、 $y-x$  が 0.2 よりも大きく、それによって、圧縮ひずみを受ける、第 6 の  $Si_{1-y}Ge_y$  層と、

前記第 6 の層上にエピタキシャル形成された第 7 の緩和  $Si_{1-x}Ge_x$  層と、

前記第 7 の層上にエピタキシャル形成された第 8 のシリコン層と、

前記第 8 の層上に形成された第 9 の誘電材料層とから成る層構造。

【請求項 2】 さらに、ゲート電極を形成するために、前記第 9 の誘電材料層上に形成され、リソグラフィによってパターン化された、第 10 のポリシリコン層を含むことを特徴とする請求項 1 に記載の層構造。

【請求項 3】 さらに、p 型電界効果トランジスタを形成するために、少なくとも 1 つのゲート電極の両側に前記第 6 の層から前記第 8 の層に至る p 型領域を含むことを特徴とする請求項 2 に記載の層構造。

【請求項 4】 さらに、少なくとも前記第 2 の層に位置する p 型のソース領域およびドレイン領域を含むことを特徴とする請求項 2 に記載の層構造。

【請求項 5】 さらに、n 型電界効果トランジスタを形成するために、少なくとも 1 つのゲート電極の両側に前記第 4 の層から前記第 8 の層に至る n 型領域を含むことを特徴とする請求項 2 に記載の層構造。

【請求項 6】 さらに、少なくとも前記第 4 の層に位置する n 型のソース領域およびドレイン領域を含むことを特徴とする請求項 2 に記載の層構造。

【請求項 7】 さらに、n 型電界効果トランジスタを形成するために、少なくとも 1 つのゲート電極の両側に前記第 4 の層から前記第 8 の層に至る n 型領域を含むことを特徴とする請求項 3 に記載の層構造。

【請求項 8】 さらに、CMOS 論理回路を形成するために、前記ゲート電極、前記 p 型領域、および前記 n 型領

域を相互接続する手段を含むことを特徴とする請求項 7 に記載の層構造。

【請求項 9】 電子キャリア・チャネルおよび正孔キャリア・チャネルを形成するプレーナ半導体構造において、単結晶基板と、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数の半導体材料層と、引張りひずみを受け、それによって、伝導帯をフェルミ準位よりも低いものにする、前記層のうちの少なくとも第 1 の層と、

圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第 2 の層と、

電流を前記層のうちの前記第 1 の層を通過させるため、前記層のうちの少なくとも前記第 1 の層に位置する複数の n 型領域と、

電流を前記層のうちの前記第 2 の層を通過させるため、前記層のうちの少なくとも前記第 2 の層に位置する複数の p 型領域とを備えることを特徴とするプレーナ半導体構造。

【請求項 10】 ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタにおいて、

半導体基板と、

Ge 分率  $x$  が 0.20 ないし 0.5 の範囲である、前記基板上にエピタキシャル形成された第 1 の緩和  $Si_{1-x}Ge_x$  層と、

前記第 1 の層上にエピタキシャル形成された第 2 の n ドーパ  $Si_{1-x}Ge_x$  層と、

前記第 2 の層上にエピタキシャル形成された第 3 の非ドーパ  $Si_{1-x}Ge_x$  層と、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第 3 の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が  $300\text{ K}$  で  $2000\text{ cm}^2/\text{Vs}$  ないし  $2500\text{ cm}^2/\text{Vs}$  の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第 4 の層と、

少なくとも前記第 4 の層に位置する前記ソース領域および前記ドレイン領域と、

前記第 4 の層上に形成された第 5 の誘電材料層と、

前記第 5 の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

【請求項 11】 ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタにおいて、

半導体基板と、

Ge 分率  $x$  が 0.20 ないし 0.5 の範囲である、前記基板上にエピタキシャル形成された第 1 の緩和  $Si_{1-x}$

Ge<sub>x</sub>層と、

Ge分率yが0.5ないし1.0の範囲であり、y-xが0.2よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、前記第1の層上にエピタキシャル形成された第2のSi<sub>1-y</sub>Ge<sub>y</sub>層と、

少なくとも前記第2の層に位置する前記ソース領域および前記ドレイン領域と、

前記第2の層上にエピタキシャル形成された第3のシリコン層と、

前記第3の層上に形成された第4の誘電材料層と、

前記第4の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

【請求項12】さらに、Ge分率zが0.20ないし0.5の範囲である、前記第2の層と前記第3の層の間にエピタキシャル形成された第5のSi<sub>1-z</sub>Ge<sub>z</sub>層を含むことを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項13】n型電界効果トランジスタとp型電界効果トランジスタを共に備える層構造を形成する方法において、

半導体基板を選択するステップと、

Ge分率xが0.20ないし0.5の範囲である、第1の緩和Si<sub>1-x</sub>Ge<sub>x</sub>層を前記基板の上にエピタキシャル形成するステップと、

第2のnドープSi<sub>1-x</sub>Ge<sub>x</sub>層を前記第1の層上にエピタキシャル形成するステップと、

第3の非ドープSi<sub>1-x</sub>Ge<sub>x</sub>層を前記第2の層上にエピタキシャル形成するステップと、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され引張りひずみを受ける、第4の層を形成するステップと、

第5の緩和Si<sub>1-x</sub>Ge<sub>x</sub>層を前記第4の層上にエピタキシャル形成するステップと、

Ge分率yが0.5ないし1.0の範囲であり、y-xが0.2よりも大きく、圧縮ひずみを受ける、第6のSi<sub>1-y</sub>Ge<sub>y</sub>層を形成するステップと、

第7の緩和Si<sub>1-x</sub>Ge<sub>x</sub>層を前記第6の層上にエピタキシャル形成するステップと、

第8のシリコン層を前記第7の層上にエピタキシャル形成するステップと、

第9の誘電材料層を前記第8の層上に形成するステップを含む方法。

【請求項14】さらに、ゲート電極を形成するために、前記第9の誘電材料層上に形成され、リソグラフィによってパターン化された、第10のポリシリコン層を形成するステップを含むことを特徴とする請求項13に記載の層構造を形成する方法。

【請求項15】さらに、p型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前

記第6の層から前記第8の層に至るp型領域を形成するステップを含むことを特徴とする請求項14に記載の層構造を形成する方法。

【請求項16】さらに、少なくとも前記第2の層に位置するp型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする請求項14に記載の層構造を形成する方法。

【請求項17】さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を形成するステップを含むことを特徴とする請求項14に記載の層構造を形成する方法。

【請求項18】さらに、少なくとも前記第4の層に位置するn型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする請求項14に記載の層構造を形成する方法。

【請求項19】さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を形成するステップを含むことを特徴とする請求項15に記載の層構造を形成する方法。

【請求項20】さらに、CMOS論理回路を形成するために、前記ゲート電極、前記p型領域、および前記n型領域を相互接続するステップを含むことを特徴とする請求項19に記載の層構造を形成する方法。

【請求項21】電子キャリア・チャネルおよび正孔キャリア・チャネルを形成するプレーナ半導体構造を形成する方法において、

単結晶基板を選択するステップと、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板の上に形成された複数のコメンシュレート半導体材料層を形成するステップと、

電流を前記層のうちの前記第1の層を通過させるために、前記層のうちの少なくとも前記第1の層に位置する複数のn型領域を形成するステップと、

電流を前記層のうちの前記第2の層を通過させるために、前記層のうちの少なくとも前記第2の層に位置する複数のp型領域を形成するステップとを含み、

複数のコメンシュレート層を形成する前記ステップがさらに、引張りひずみを受け、それによって、伝導帯をフェルミ準位よりも低いものにする、前記層のうちの少なくとも第1の層を形成するステップと、圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第2の層を形成するステップとを含む、ことを特徴とする方法。

【請求項22】ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、

半導体基板を選択するステップと、

Ge分率 $x$ が0.20ないし0.5の範囲である、第1の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、

第2のnドープ $Si_{1-x}Ge_x$ 層を前記第1の層上にエピタキシャル形成するステップと、

第3の非ドープ $Si_{1-x}Ge_x$ 層を前記第2の層上にエピタキシャル形成するステップと、

シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が $300K$ で $2000\text{ cm}^2/Vs$ ないし $2500\text{ cm}^2/Vs$ の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第4の層を形成するステップと、

少なくとも前記第4の層に位置する前記ソース領域および前記ドレイン領域を形成するステップと、

第5の誘電材料層を前記第4の層上に形成するステップと、

ゲート電極を前記第5の層上に形成するステップとを含むことを特徴とする方法。

【請求項23】ソース領域とドレイン領域とを有し、チャネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、

半導体基板を選択するステップと、

Ge分率 $x$ が0.20ないし0.5の範囲である、第1の緩和 $Si_{1-x}Ge_x$ 層を前記基板上にエピタキシャル形成するステップと、

Ge分率 $y$ が0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、第2の $Si_{1-y}Ge_y$ 層を前記第1の層上にエピタキシャル形成するステップと、

前記ソース領域および前記ドレイン領域を少なくとも前記第2の層に形成するステップと、

第3のシリコン層を前記第2の層上にエピタキシャル形成するステップと、

第4の誘電材料層を前記第3の層上に形成するステップと、

ゲート電極を第4の層上に形成するステップとを含むことを特徴とする方法。

【請求項24】さらに、Ge分率 $z$ が0.20ないし0.5の範囲である第5の $Si_{1-z}Ge_z$ 層を前記第2の層と前記第3の層の間にエピタキシャル形成するステップを含むことを特徴とする請求項23に記載の電界効果トランジスタを形成する方法。

【請求項25】前記第1の層がさらに、前記第1の層中または前記第1の層より下の寄生電流を防ぐためにn型トランジスタの領域の下にp型領域を含むことを特徴とする請求項1に記載の層構造。

【請求項26】前記第1の層がさらに、前記第1の層中または前記第1の層より下の寄生電流を防ぐためにp型

トランジスタの領域の下にn型領域を含むことを特徴とする請求項1に記載の層構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、超大規模集積（ULSI）回路用のCMOSに関し、詳細には、ひずませたシリコン層およびシリコン・ゲルマニウム層を組み込んだヘテロ構造として製造される高性能のp型およびn型電界効果トランジスタに関する。

【0002】

【従来の技術】論理回路応用例における最も重要な構成単位を形成するSi-CMOSデバイスの性能向上は、極めて重要である。具体的には、将来のULSIチップにとって、高速度および低電力消費量と小型化が必須の要件である。高速性能を抑制する1つの主要な因子は、Siではホールの移動度が低いことである。また、0.1ミクロンないし0.15ミクロンのゲートを含むデバイスは、電子ビーム・リソグラフまたはX線リソグラフィを使用して露光する必要がある。これらの技法は共に、光学リソグラフィに比べてより複雑で高価である。さらに、その規模では、デバイスの信頼性、しきい値電圧の制御、および歩留りの問題がより顕著になる。Si技術に十分に匹敵するが、Siよりも優れた特性を有する材料システムを選択すれば、CMOSの出力遅延積が向上する。0.25ミクロンのゲート長で、0.15ミクロンのSi-CMOSに類似の性能またはそれよりも優れた性能が達成でき、したがって、光学リソグラフィによってゲートを露光することができると考えられる。

【0003】Si技法に匹敵する材料システムの一例は、「Germanium Channel Silicon MOSFET」と題する、本出願人に譲渡された、1991年5月28日に発行された米国特許第5019882号に記載されている。米国特許第5019882号では、改良されたキャリア移動度を有するチャネルが、シリコン基板上で成長するシリコンとゲルマニウムの合金層を備えている。この合金層は、適切な仮像無転位成長を行わせるのに十分な薄さに維持される。この合金層上にシリコン層が形成され、部分的に酸化されて誘電層が形成される。二酸化ケイ素上にゲート領域が形成される。

【0004】1992年10月13日に発行された米国特許第5155571号では、ひずませた超格子構造を有する相補型電界トランジスタが記載されている。米国特許第5155571号では、n型のひずませた $Ge_xSi_{1-x}$ 層をp型トランジスタに使用し、それによって、ホールの移動度を増大させてn型トランジスタ中の電子の移動度に一致させたシリコンCMOSトランジスタ構造が記載されている。さらに、ひずませたSi層および $GeSi$ 合金層と、緩和 $Ge_xSi_{1-x}$ を使用してn型トランジスタ中の電子移動度を増大させ、同時に、

ひずませたSi層またはひずませた $\text{Ge}_x\text{Si}_{1-x}$ 合金層を使用してp型トランジスタ中の正孔移動度を増大させた相補型変調ドープ電界トランジスタが記載されている。p型トランジスタ用の領域とn型トランジスタ用の領域は、それぞれ異なる構造から成るチャンネルを含む別々の領域である。

【0005】1988年12月16日に発行された特公昭63-308966(a)号には、シリコン結晶層およびシリコン・ゲルマニウム混合結晶層を同じ組成および膜圧のまま垂直方向に変化させ、ゲート電極の下にある構造の不純物濃度のみを異なるものにするによって基板上に形成されたn型トランジスタおよびp型トランジスタが記載されている。

【0006】1991年4月9日に発行された米国特許第5006912号では、シリコン・ゲルマニウム・ベース層上で成長するシリコン・エピタキシャル層を備えるエミッタを有するヘテロ接合バイポーラ・トランジスタが記載されている。トランジスタの活性領域は、シリコン/シリコン・ゲルマニウムひずみ格子を有する半導体から成り、格子ひずみは、コメンシュレート成長を維持しながらエミッタ・ベース接合部で所定の価電子帯オフセットをもたらすようなものである。格子ひずみの利点は、ベース中の電子の有効移動度を増大させることである。シリコン・ゲルマニウム・ベース層のゲルマニウム含有量は、12%ないし20%の範囲にある。

【0007】高キャリア移動度を有し、高速動作に適した電界効果トランジスタの他の例は、1993年8月31日に発行された米国特許第5241197号に記載されている。米国特許第5241197号では、ゲルマニウム層に圧縮ひずみを与えるためにゲルマニウム層の下にひずませた制御層が設けられ、ひずみ制御層の組成を使用して、圧縮ひずみを発生させる。ひずませたゲルマニウム層中のキャリア移動度は高い。

【0008】

【発明が解決しようとする課題】本発明の一目的は、n型デバイスとp型デバイスを共に共通のプレーナ構造として形成できるようにする層構造を提供することである。

【0009】本発明の他の目的は、二酸化ケイ素界面に活性チャンネルが形成されず、したがって、移動度の低下が防止され、かつ垂直電界が増大する、n型デバイスとp型デバイスを共に提供することである。

【0010】本発明の他の目的は、p型チャンネルが、対応するn型デバイスよりもゲートの近くにあり、それによって、p型チャンネル中の正孔移動度の低さが補償されるp型デバイスを提供することである。

【0011】本発明の他の目的は、電子と正孔が共にひずみを活用し（電子の場合は引張りひずみ、正孔の場合は圧縮ひずみ）、帯域の分割と、より高度な閉込めバリアから利益が得られる、n型デバイスおよびp型デバイ

スを提供することである。

【0012】本発明の他の目的は、低ソース・ドレイン電圧、たとえば、約1.5Vでの動作を可能にするより高い移動度を有するn型デバイスおよびp型デバイスを提供することである。

【0013】本発明の他の目的は、電子と正孔の両方に対してほぼ対称的なしきい値電圧を有するように設計できるn型デバイスおよびp型デバイスを提供することである。

【0014】本発明の他の目的は、測定欠陥密度が極めて低く、たとえば、エッチ・ピット数で1000個/ $\text{cm}^2$ である、n型デバイスおよびp型デバイスを形成するための、エピタキシャル層構造を提供することである。

【0015】本発明の他の目的は、n型電界効果トランジスタとp型電界効果トランジスタの両方のゲート用の単一で共通のゲート材料および処理ステップを提供することである。

【0016】本発明の他の目的は、n型デバイスの場合には引張りひずみを受ける埋込みSiチャンネルまたはSiGeチャンネルを、p型デバイスの場合には圧縮ひずみを受ける埋込みSiGeチャンネルを提供することである。

【0017】

【課題を解決するための手段】本発明によって、半導体基板と、Ge分率xが0.20ないし0.5の範囲である、基板上にエピタキシャル形成された第1の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層と、第1の層上にエピタキシャル形成された第2のnドーパ $\text{Si}_{1-x}\text{Ge}_x$ 層と、第2の層上にエピタキシャル形成された第3の非ドーパ $\text{Si}_{1-x}\text{Ge}_x$ 層と、Ge分率zが第3の層上にエピタキシャル形成されたxよりも少なく、それによって、引張りひずみを受ける、第4のシリコン層または $\text{Si}_{1-z}\text{Ge}_z$ 層と、第4の層上にエピタキシャル形成された第5の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層と、Ge分率yが0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、それによって圧縮ひずみを受ける、第6の $\text{Si}_{1-y}\text{Ge}_y$ 層と、第6の層上にエピタキシャル形成された第7の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層と、第7の層上にエピタキシャル形成された第8のシリコン層と、第8の層上に形成された第9の誘電材料層とから成る、n型電界効果トランジスタとp型電界効果トランジスタを共に形成する方法、ならびに平面であってよい前記形成用の層構造を説明する。各層ごとのGe分率xの値は、正孔および電子用に指定された層における引張りひずみまたは圧縮ひずみを逆転しないかぎり、0.20ないし0.5の範囲でよい。第8の層上に金属層またはポリシリコン層を形成しパターン化して、n型電界効果トランジスタおよびp型電界効果トランジスタのゲートを形成することができる。n型トランジスタおよびp型トランジスタのそれぞれのドレイン領域およびソース領

域は、層構造中のゲートの両側にn型領域を形成してn型電界効果トランジスタを形成し、層構造中のゲートの両側にp型領域を形成してp型電界効果トランジスタを形成することによって形成することができる。n型トランジスタとp型トランジスタを相互接続してCMOS論理回路を形成することができる。

【0018】本発明はさらに、半導体基板と、Ge分率xが0.20ないし0.5の範囲である、基板上にエピタキシャル形成された第1の緩和Si<sub>1-x</sub>Ge<sub>x</sub>層と、Ge分率yが0.5ないし1.0の範囲であり、y-xが0.2よりも大きく、それによって、圧縮ひずみを受け、その結果、正孔が閉じ込められる、第2のSi<sub>1-y</sub>Ge<sub>y</sub>層と、第2の層上にエピタキシャル形成された第3のシリコン層と、第3の層上に形成された第4の誘電材料層と、第4の層上に形成されたゲート電極と、第2および第3の層中のゲート電極の両側に形成されたp領域とから成る、ソースとドレインとゲートとを有し、チャネルにおける正孔移動度が高い、方法およびp型チャネル電界効果トランジスタを提供する。

【0019】本発明はさらに、半導体基板と、xが0.25ないし0.5の範囲である、基板上にエピタキシャル形成された第1の緩和Si<sub>1-x</sub>Ge<sub>x</sub>層と、第1の層上にエピタキシャル形成された第2のnドープSi<sub>1-x</sub>Ge<sub>x</sub>層と、第2の層上にエピタキシャル形成された第3の非ドープSi<sub>1-x</sub>Ge<sub>x</sub>層と、Ge分率zが第3の層上にエピタキシャル形成されたxよりも少なく、それによって、引張りひずみを受け、それによって、伝導帯が、二重帯中の電子移動度が300Kで2000cm<sup>2</sup>/Vsないし2500cm<sup>2</sup>/Vsの範囲である二重縮退伝導帯および四重縮退伝導帯として分割される、第4のシリコン層またはSi<sub>1-z</sub>Ge<sub>z</sub>層と、第4の層上に形成された第5の誘電材料層と、第5の層上に形成されたゲート電極と、第3および第4の層中のゲート電極の両側に形成されたn領域とから成る、ソースとドレインとゲートとを有し、チャネルにおける電子移動度が高い、方法およびn型チャネル電界効果トランジスタを提供する。

【0020】

【実施例】次に、図面を参照すると、図1は、CMOSインバータ9を形成するように相互接続された電界効果トランジスタ10および11の平面図を示す。CMOSインバータ9の詳細な概略回路を図5に示す。

【0021】電界効果トランジスタ10は、n型材料のドレイン領域12およびソース領域14と、ゲート電極16とを有するn型電界効果トランジスタでよい。電界効果トランジスタ11は、p型材料のドレイン領域13およびソース領域15と、ゲート電極17とを有するp型電界効果トランジスタでよい。ゲート電極16および17は、金属でも、p型材料をドーピングしポリシリコンでもよい。ゲート電極16は上部表面18を有し、ゲート電極17は上部表面19を有する。電界効果トラン

ジスタ10および11は、たとえば、シリコンでも、ゲルマニウムでも、シリコン・ゲルマニウムでも、それらの合金でもよい半導体基板20上に形成される。基板20は、上部領域が、注入された酸素(SiMOX)によって分離される、ウェハでよい。基板20は、図2に示した基板20の上部表面21上に形成されたプレーナ・ヘテロ構造22を有する。プレーナ・ヘテロ構造22は、相互にエピタキシャルであり、あるいは仮像である基本的にプレーナの複数の層23から成る。ヘテロ構造22上の頂部層24は、大気にさらされ、上部表面25を有する二酸化ケイ素などの誘電体でよい。

【0022】電界効果トランジスタ10および11を図1に示したが、n型またはp型の電界効果トランジスタ6ないし9など多数のトランジスタをさらに基板20上に形成することができる。図2に詳細に示した複数の層23から成るプレーナ・ヘテロ構造22は、すべての電界効果トランジスタのゲート電極の下を延び、電界効果トランジスタの間の領域にも存在する。すなわち、すべてのトランジスタに対して共通のプレーナ・ヘテロ構造22が使用される。選択されたトランジスタ間の絶縁は、マスクを介した反応性イオン・エッチングなどによってトレンチ28を形成することなどにより、層23の導電性を遮断することによって得ることができる。正方形または長方形の断面を有することができるトレンチ28には、トレンチ上またはトレンチを横切って相互接続配線を通させるために二酸化ケイ素などの誘電体29を充填することができる。

【0023】図2は、図1の線2-2に沿った断面図である。図1および2に示したように、基板20は上部表面21を有し、上部表面上に、エピタキシャル関係の層34、36、38、32、40、30、42、および44から成るプレーナ・ヘテロ構造22が形成されている。プレーナ・ヘテロ構造22上には、ゲート電極16および17用のゲート酸化物として機能する層24があり、ゲート電極間の領域にはより厚い電界酸化物を形成し、あるいは付着させることができる。プレーナ・ヘテロ構造22では、ひずみを使用してデバイスの性能を向上させる。プレーナ・ヘテロ構造22の固有の特徴は、層が基板全体にわたって平面の上部表面および下部表面を有し、すなわち、p型電界効果トランジスタ11またはPMOSデバイスと、n型電界効果トランジスタ11またはNMOSデバイスにエッチングも選択的成長も必要とされないことである。プレーナ・ヘテロ構造22は、標準サブミクロンSi-CMOS処理に適合する媒体を提供する。

【0024】標準Si-MOS技法のようなドーピングではなく、プレーナ・ヘテロ構造22の特定の層のひずみを調整することによって、p型電界効果トランジスタ10およびn型電界効果トランジスタ11のしきい値電圧を調整することができる。層中のひずみで達成させる



電圧調整に加えて、ドーピングによる次のしきい値電圧調整も使用することができる。プレーナ・ヘテロ構造 22 では、0.3 V ないし 0.5 V の範囲の対称的なしきい値電圧を同じプレーナ・ヘテロ構造設計で達成することができる。たとえば、ゲート電極 16 によって示したように P<sup>+</sup>ポリシリコン・ゲートを使用することによって、n 型電界効果トランジスタ・ゲート電極 16 と p 型電界効果トランジスタ・ゲート電極 17 の両方を同時に形成し、したがって、1 リソグラフィ・ステップだけ節約することができる。n 型電界効果トランジスタ 10 および p 型電界効果トランジスタ 11 のトランスコンダクタンスも、ほぼ同じになるように設計することができる。n 型電界効果トランジスタおよび p 型電界効果トランジスタのほぼ同じトランスコンダクタンスは、p 型チャンネルが、n 型チャンネルに比べてゲート電極 16 および 17 により近い層 30 にあるプレーナ・ヘテロ構造 22 を使用して、層 30 にある p 型チャンネルでの正孔移動度よりも高い、層 32 にある n 型チャンネルでの電子移動度を補償することによって達成される。

【0025】図 2 を参照すると、まず、Ge 組成が 20 % ないし 50 % の範囲である緩和 SiGe バッファ層 34 を基板 20 の上部表面 21 上で成長させている。バッファ層 34 は最初、ドーピングなしで緩和状態にすることができ、シリコンが 70 % でゲルマニウムが 30 % の組成を有することができる。

【0026】層 34 を形成した後、層 34 の頂部またはその近くに、厚さが 100 nm ないし 200 nm の範囲の p 型領域 26 を形成する。p 型領域 26 の電気的に活性のアクセプタの注入量は、続いて形成すべき n 型デバイスならびに関連するドレイン領域 12 およびソース領域 14 の下で  $1\text{ cm}^{-2}$  ないし  $2 \times 10^{12}\text{ cm}^{-2}$  の範囲である。領域 26 はたとえば、イオン注入とそれに続くアニーリングによって形成することができる。領域 26 は、適当にパターン化されたマスクによって形成することができる。p 型領域 26 は、n 型トランジスタのソース接点とドレイン接点の間にある層 34 または基板 20 を寄生電流が流れるのを妨げるように機能する。

【0027】さらに、層 34 を形成した後、層 34 の頂部またはその近くに、厚さが 100 nm ないし 200 nm の範囲の n 型領域 27 を形成する。n 型領域 27 の電気的に活性のドナのドーズは、続いて形成すべき p 型デバイスならびに関連するドレイン領域およびソース領域の下で  $1\text{ cm}^{-2}$  ないし  $2 \times 10^{12}\text{ cm}^{-2}$  の範囲である。領域 27 はたとえば、イオン注入とそれに続くアニーリングによって形成することができる。領域 27 は、適当にパターン化されたマスクによって形成することができる。n 型領域 27 は、p 型トランジスタのソース接点とドレイン接点の間にある層 34 または基板 20 を寄生電流が流れるのを妨げるように機能する。

【0028】引張りひずみを受ける Si 層または Si

$_{1-2}\text{Ge}_2$  層 32 での電子移動が好ましいものになるほど価電子帯および導電帯を湾曲させるために、緩和層 34 の上部表面上で n ドープ緩和 SiGe 薄層 36 を成長させる。

【0029】電子および正孔が閉じ込められるのは、それぞれの層での引張りひずみおよび圧縮ひずみの結果である。層の上部表面および下部表面の平面における全体的な格子定数は、図 2 では層 34 である層の主要組成によって決定される。電子チャンネル層 32 は、Ge 組成をまったく持たないか、あるいは Ge 組成が低く、引張りひずみを受けるが、正孔チャンネル層 30 は、Ge 組成が高く、圧縮ひずみを受ける。ひずみは、純粋な Ge が、Si の格子定数よりも約 4 % だけ大きな格子定数を有するために発生する。

【0030】層 36 中のドーパントを Si 層 32 から分離して層 32 において高電子移動度を維持するために、n ドープ層 36 上で薄い緩和非ドープ SiGe 層 38 を成長させる。層 38 は、0 nm ないし 4 nm の範囲の厚さを有することができる。引張りひずみを受け、n 型電界効果トランジスタ用の n 型チャンネルとして働く Si 層または  $\text{Si}_{1-2}\text{Ge}_2$  層 32 を層 38 上で成長させる。Si 層または  $\text{Si}_{1-2}\text{Ge}_2$  層 32 上で薄い緩和 SiGe 層 40 を成長させる。層 38 および 40 は、ゲルマニウムが 20 % ないし 50 % の範囲でよいシリコンとゲルマニウムの同じ組成を有することができる。シリコン層または  $\text{Si}_{1-2}\text{Ge}_2$  層 32 に引張りひずみを与え、SiGe 層 38 および 40 を緩和する。

【0031】p 型電界効果トランジスタ用の p 型チャンネルとして働く、圧縮ひずみを受ける SiGe 層 30 を層 40 上で成長させる。層 30 において、ゲルマニウムの組成は、50 % ないし 100 % の範囲であり、たとえば、80 % でよい。

【0032】代替実施例では、層 30 は、層内で勾配を付けられ、バッファ層 34 により近い層の下部での約 0.75 Ge から、層の上部での約 0.5 Ge まで減少する、ゲルマニウム含有量を有することができる。その結果得られる層 30 中の勾配付きひずみと勾配付き価電子帯オフセットは、上部界面よりも平滑な底部界面のより近くに正孔を位置決めする助けとなり、その結果、正孔の移動度が向上する。

【0033】他の薄い緩和 SiGe 層 42 を層 30 上で成長させる。層 42 は、層 40 と同じ組成を有することができる。層 30 との界面でひずみを与え、それによって、価電子帯をジャンプさせ、その結果、正孔を層 30 に閉じ込めるように働く。層 30 は圧縮ひずみを受ける。シリコン・キャップ層 44 自体の上部表面上または上部表面中で良好な粘着力をもつゲート酸化物が成長するように、シリコン・キャップ層 44 を層 42 上で成長させる。5 nm ないし 10 nm の厚さの二酸化ケイ素層 24 をシリコン 44 層上に形成する。二酸化ケイ素層 2

4は、高圧熱酸化を使用して600°Cないし700°Cの温度で成長させることも、化学蒸着によって650°Cよりも低い温度で付着させることもできる。P<sup>+</sup>ポリシリコン・ゲート16を層24上で成長させる。P<sup>+</sup>ポリシリコン・ゲート16は、最初はブランケット層であってよく、次いで、ゲートを形成するようにリソグラフィによってパターン化することができる。ゲート16は、完全自己整列プロセスと0.1ミクロンないし0.25ミクロンのゲート長を使用し、窒化物側壁スペースとケイ化物またはサリサイドの金属被膜を使用することによって、形成することができる。

【0034】層30および32は、3nmないし7nmの範囲の厚さを有することができる。層30と層32の間の層40は、0nmないし5nmの範囲の厚さを有することができる。層36、38、42は、3nmないし5nmの範囲の厚さを有することができる。シリコン層44は、0.5nmないし1.5nmの範囲の厚さを有することができる。層44は、厚すぎる場合、n型デバイス用の寄生電流チャネルとなる。層46は、5nmないし10nmの範囲でよい。

【0035】引張りひずみを受けるSiまたはSi<sub>1-x</sub>Ge<sub>x</sub>を緩和SiGe層上に形成し、圧縮ひずみを受けるSiGe層を緩和SiまたはSiGe上に形成することができれば、Si層またはSi<sub>1-x</sub>Ge<sub>x</sub>層32とSiGe層30の両方の伝導帯および価電子帯を著しく変化させることができる。Si層またはSi<sub>1-x</sub>Ge<sub>x</sub>層32では、引張りひずみの下で、最初の六重縮退伝導帯が二重伝導帯および四重伝導帯として分割される。(軽面内質量をもつ) 下降された二重帯を移動する電子は、標準Si・n型チャネル電界効果トランジスタ構造よりもずっと高い移動度を有する。下降された二重帯では、このより高い移動度は、300Kで2000cm<sup>2</sup>/Vsないし2500cm<sup>2</sup>/Vs、77Kで10000cm<sup>2</sup>/Vsないし15000cm<sup>2</sup>/Vsの範囲でよい。これに対して、従来型のn型トランジスタは、300Kで約600cm<sup>2</sup>/Vs、77Kで約1500cm<sup>2</sup>/Vsの移動度を有する。電子移動特性の詳細な議論は、引用によって本明細書に合体した「Electron transport properties of Si/SiGe heterostructure: measurements and device implications」(Appl. Phys. Lett. 63(5)2, 1993年8月, pp660ないし662)と題する刊行物に記載されている。

【0036】圧縮ひずみを受けるSiGe層30の価電子帯を重正孔帯および軽正孔帯として分割する。したがって、特に高Ge含有量のSiGe、または場合によっては純粋なGe中のチャネルに沿った正孔の運動に関する、軽質量をもつ上部価電子帯中の正孔移動はSi・p型電界効果トランジスタよりも1桁高くなる可能性がある正孔移動度を得る。占有された正孔帯中の正孔移動度は、300Kでは600cm<sup>2</sup>/Vsないし1100

cm<sup>2</sup>/Vsの範囲であり、77Kでは2000cm<sup>2</sup>/Vsないし5000cm<sup>2</sup>/Vsの範囲である。これらの範囲は、厚さ4nmである、シリコンが70%でゲルマニウムが30%の組成の場合の層30で測定したものである。測定された移動度は、Si・p型電界効果トランジスタの場合よりも係数が5だけ高い。

【0037】図3は、層32の伝導帯の底部での電子のエネルギーを、正のゲート電圧V<sub>g</sub>をもつゲート電極16に対する距離の関数として示すグラフである。図3では、縦座標は、伝導帯の底部での単一の電子のエネルギーを表し、横座標は、図2に示したゲート電極16の下の垂直方向の距離を表す。単一の電子のエネルギーは、曲線56によって示されている。基準線58は、層32中のフェルミ・エネルギーを表す。図3に示すように、曲線部60は、層32中の電子のエネルギーがフェルミ・エネルギーよりも低く、したがって、伝導層32中に電子が存在することを示している。曲線部62は、層36中のn型ドーピングによる伝導帯の湾曲を示す。曲線62は、p型領域26を反映するように調整されてはいない。曲線部64は、酸化層24の下にある頂部シリコン・キャップ層である層44中の電子のエネルギーを示す。層44は、曲線部60によって示された電子エネルギーを有する層32の電子移動度よりも低い電子移動度を有する。電流が、層32によって形成されたn型チャネルに平行な寄生チャネルである層44を流れるのを防ぐために、層32中の電子の電子エネルギーは、層44中の電子のエネルギーよりも低くするべきである。

【0038】図4は、層30の価電子帯の頂部での電子のエネルギーを、ゲート・バイアスV<sub>g</sub>が負であるゲート電極16の下の図2に示した垂直方向の距離の関数として示すグラフである。図4では、縦座標は、伝導帯の頂部での単一の電子のエネルギーを表し、横座標は、ゲート電極16に対する垂直方向の距離を表す。伝導帯の頂部での電子のエネルギーは、曲線70によって示されている。曲線70は、p型領域26を反映するように調整されてはいない。基準線72は、価電子帯中のフェルミ・エネルギーE<sub>F</sub>を表す。曲線部74は、基準線72によって示されたフェルミ・エネルギーよりも大きく、したがって、正孔を伝導させる、層30中の価電子帯の頂部での電子エネルギーに対応する。

【0039】図3および図4によれば、正のゲート電圧の場合、ドープ層36から供給される電子が、層32で伝導する。ゲート電極16が負の電圧V<sub>g</sub>を有する場合、層30で正孔が伝導する。したがって、ドレイン領域およびソース領域がすべての層30、32、34、36、38、40、42、44を相互接続する場合、ゲート電極16のそれぞれの側にp型またはn型のドレイン領域およびソース領域を形成することによって、n型電界効果トランジスタまたはp型電界効果トランジスタを形成することができる。図2を参照すると、層32中の

電子移動および層 30 中の正孔移動がシリコン層 44 および層 24 から、すなわち、二酸化ケイ素界面で、空間的に除去されることによって、信頼性が高まり、すなわち、二酸化ケイ素層 24 へのキャリア注入が低減され、高キャリア密度での移動度が高まる利点がもたらされる。 $\text{Si}/\text{SiO}_2$  界面 47 の場合、電子の移動度が、界面を横切る垂直電界の関数として低下することが分かっている。しかし、提案した構造では、電子の移動度が電子の関数として増加し、正孔の移動度がゲート・バイアス範囲  $V_g$  全体にわたってほぼ一定のままであると予想される。プレーナ・ヘテロ構造 22 の固有の特徴は、格子の不一致によるひずみを使用する層シーケンスによって、p 型電界効果トランジスタおよび n 型電界効果トランジスタのしきい値電圧の調整と、n 型電界効果トランジスタおよび p 型電界効果トランジスタの高電子移動度および高正孔移動度の調整が可能になることである。キャップ・シリコン層 44 により、熱酸化によって、ゲート酸化物、または層 44 にうまく接着する化学蒸着 (CVD) 酸化物を形成することができる。プレーナ・ヘテロ構造 22 では、ゲート電極 16 上の電圧からの垂直電界の関数として移動度が低下することはない。なぜなら、電子が層 32 で移動し、正孔が層 30 で移動するからである。単一の p<sup>+</sup>ポリシリコン・ゲートを p 型電界効果トランジスタと n 型電界効果トランジスタの両方に使用することができ、かつ付着させて同時にパターン化することができる。

【0040】プレーナ・ヘテロ構造 22 は、ひずませた  $\text{Si}/\text{SiGe}$  ヘテロ構造に基づいて高性能 CMOS デバイスを製作する際に使用することができる。プレーナ・ヘテロ構造 22 は、高周波数および低電力消費量で動作する ULSI 論理チップで使用することができる。周波数が高くなるのは、チャンネル、すなわち、層 30 および 32 における電子および正孔の移動度が高いことと、平均キャリア速度が高いことの結果である。電力消費量が低くなるのは、キャリア速度を飽和させるのに必要な横電界が低いからである。

【0041】n 型電界効果トランジスタと p 型電界効果トランジスタの間の絶縁は、デバイス間のトレンチングによって達成することができる。トレンチングは、反応性イオン・エッチング (RIE) によって行うことができる。典型的な実施例では、イオン注入によって成長させたソース・インプラントおよびドレイン・インプラントがゲート電極のエッジに達するように、p 型電界効果トランジスタおよび n 型電界効果トランジスタが、ゲート電極に対して自己整列する。CMOS 回路と同様に、基本ブロックは、一方のデバイスのドレインが他方のデバイスのソースに接続され、両方のゲートが相互に接続された、簡単なインバータとなる。他の論理ゲートは、NAND、NOR、フリップ・フロップなどに構成することができる。

【0042】図 5 を参照すると、CMOS インバータ 9 の概略回路が示されている。ゲート電極 16 および 17 は、インバータ 9 に入力を提供するためにリード線 77 を介して相互に結合されている。電界効果トランジスタ 10 および 11 のドレイン領域 12 および 13 はそれぞれ、出力を提供するためにリード線 78 を介して相互に結合されている。トランジスタ 11 のソースは、電圧  $V_{DD}$  を供給するためにリード線 79 を介して結合されている。トランジスタ 10 のソースは、電位または他の電源を接地させるためにリード線 80 を介して結合されている。トランジスタ 10 は、層 32 に形成された n 型チャネルを有し、トランジスタ 11 は、層 30 に形成された p 型チャネルを有する。

【0043】図 6 は、電界効果トランジスタ 82 を示す本発明の第 2 の実施例の平面図である。電界効果トランジスタ 82 は、ゲート電極 83 と、ドレイン電極 84 と、ソース電極 85 とを有する。電界効果トランジスタ 82 は、図 7 に詳細に示したプレーナ・ヘテロ構造 88 として形成されている。図 7 は、図 6 の線 7-7 に沿った断面図である。図 7 においては、図 1 および図 2 に対応する構造および機能に同様な参照符号が使用してある。図 7 は、複数の n 型チャネル電界効果トランジスタを形成するのに使用される、複数の層 89 の断面図を示す。ここでは、図を簡単にするために、1 個の電界効果トランジスタ 82 しか示していない。

【0044】図 7 は、層 32 へのイオン注入によって、形成され、たとえば、ゲートに整列する、n 型のドレイン領域 91 とソース領域 92 とを有する n 型電界効果トランジスタ 82 を示す。半導体基板 20 は、その上部表面 21 上にエピタキシャル形成された第 1 の緩和  $\text{Si}_{1-x}\text{Ge}_x$  層 34 を有する。ここで、x は 0.20 ないし 0.5 の範囲である。第 2 の n ドープ  $\text{Si}_{1-x}\text{Ge}_x$  層 36 は、層 34 上にエピタキシャル形成されている。層 36 を形成する前に、将来のドレイン領域 91 およびソース領域 92 の下に p 型領域 26 を形成し、層 34 または基板 20 を介してドレイン領域 91 からソース領域 92 へ、あるいはその逆に、寄生電流が流れるのを防ぐことができる。第 3 の非ドープ  $\text{Si}_{1-x}\text{Ge}_x$  層 38 は、層 36 上にエピタキシャル形成されている。第 4 のシリコン層、または Ge 分率 z が x よりも小さな  $\text{Si}_{1-z}\text{Ge}_z$  層 32 は、第 3 の層 38 上にエピタキシャル形成され、それによって、第 4 の層 32 が引張りひずみを受け、それによって、伝導帯が二重縮退伝導帯および四重縮退伝導帯として分割される。ここで、二重帯の電子移動度は、300 K で  $2000 \text{ cm}^2/\text{Vs}$  ないし  $2500 \text{ cm}^2/\text{Vs}$  の範囲である。二酸化ケイ素など、第 5 の誘電材料層 24 は、第 4 の層 32 の上部表面上 48 に形成されている。ゲート電極 83 は、第 5 の層 24 上に形成されている。n 型領域 91 および 92 は、図 7 に示したように層 32 中のゲート電極 82 の両側に形成されている。層

44など薄いシリコン層を層32と層24の間に介在させて層24ととのより良好な界面を提供することができる。

【0045】図8は、第3の実施例を示す図6の線7-7に沿った断面図である。図8においては、図1、図2、および図6の装置に対応する構造および機能に同様な参照符号が使用されている。電界効果トランジスタ96は、ゲート電極97と、ドレイン電極98と、ソース電極99とを有するp型のものである。ドレイン電極98は、p型であるドレイン領域105に電気接触し、ソース電極99は、p型であるソース領域106に電気接触する。ドレイン領域105およびソース領域106は、層44を介して層30内へ延びる。ドレイン領域105およびソース領域106は、ゲートに整列し、イオン注入によって形成することができる。電界効果トランジスタ96は、チャンネル100におけるソース電極106とドレイン電極105の間の正孔移動度が高い。

【0046】電界効果トランジスタ96は、複数の層103を備えるプレーナ・ヘテロ構造102で形成されている。電界効果トランジスタ96は、半導体基板20と、基板20上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層34とを備えている。ここで、 $x$ は0.20ないし0.5の範囲である。第2の $Si_{1-y}Ge_y$ 層30は、第1の層34上にエピタキシャル形成されている。ここで、Ge分率 $y$ は0.5ないし1の範囲であり、 $1-x$ は0.2よりも大きく、それによって、第2の層30は、圧縮ひずみを受け、その結果、正孔が第2の層に閉じ込められる。第3のシリコン層44は、第2の層30上にエピタキシャル形成されている。二酸化ケイ素など、第4の誘電材料層24は、第3の層44上に形成されている。ゲート電極97は、第4の層24上に形成されている。ドレイン領域105およびソース領域106は、第2の層30および第3の層44中のゲート電極97の両側に形成されている。ドレイン領域105およびソース領域106の下層34中に層34の上部表面からn型領域27を形成して、層34または基板20中のドレイン領域105とソース領域106の間に寄生電流が流れるのを防ぐことができる。n型領域27は、層34を形成した後に、マスクを介した拡散またはイオン注入によって形成することができる。

【0047】p型電界効果トランジスタおよびn型電界効果トランジスタ用の方法、ならびにp型電界効果トランジスタおよびn型電界効果トランジスタ用のひずませたSi層およびSi/Ge層を含むプレーナ・ヘテロ構造を例示したが、当業者には、添付の特許請求の範囲によってのみ制限される本発明の広い範囲から逸脱せずに修正および変形が可能であることが明らかになる。

【0048】まとめとして、本発明の構成に関して以下の事項を開示する。

【0049】(1) n型電界効果トランジスタとp型電

界効果トランジスタの両方用の層構造において、半導体基板と、Ge分率 $x$ が0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 $Si_{1-x}Ge_x$ 層と、前記第1の層上にエピタキシャル形成された第2のnドープ $Si_{1-x}Ge_x$ 層と、前記第2の層上にエピタキシャル形成された第3の非ドープ $Si_{1-x}Ge_x$ 層と、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受ける、第4の層と、前記第4の層上にエピタキシャル形成された第5の緩和 $Si_{1-x}Ge_x$ 層と、Ge分率 $y$ が0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、それによって、圧縮ひずみを受ける、第6の $Si_{1-y}Ge_y$ 層と、前記第6の層上にエピタキシャル形成された第7の緩和 $Si_{1-x}Ge_x$ 層と、前記第7の層上にエピタキシャル形成された第8のシリコン層と、前記第8の層上に形成された第9の誘電材料層とから成る層構造。

(2) さらに、ゲート電極を形成するために、前記第9の誘電材料層上に形成され、リソグラフィによってパターン化された、第10のポリシリコン層を含むことを特徴とする上記(1)に記載の層構造。

(3) さらに、p型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第6の層から前記第8の層に至るp型領域を含むことを特徴とする上記(2)に記載の層構造。

(4) さらに、少なくとも前記第2の層に位置するp型のソース領域およびドレイン領域を含むことを特徴とする上記(2)に記載の層構造。

(5) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を含むことを特徴とする上記(2)に記載の層構造。

(6) さらに、少なくとも前記第4の層に位置するn型のソース領域およびドレイン領域を含むことを特徴とする上記(2)に記載の層構造。

(7) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を含むことを特徴とする上記(3)に記載の層構造。

(8) さらに、CMOS論理回路を形成するために、前記ゲート電極、前記p型領域、および前記n型領域を相互接続する手段を含むことを特徴とする上記(7)に記載の層構造。

(9) 電子キャリア・チャンネルおよび正孔キャリア・チャンネルを形成するプレーナ半導体構造において、単結晶基板と、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数の半導体材料層と、引張りひずみを受け、それによって、伝導帯を

フェルミ準位よりも低いものにする、前記層のうちの少なくとも第1の層と、圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第2の層と、電流を前記層のうちの前記第1の層を通過させるため、前記層のうちの少なくとも前記第1の層に位置する複数のn型領域と、電流を前記層のうちの前記第2の層を通過させるため、前記層のうちの少なくとも前記第2の層に位置する複数のp型領域とを備えることを特徴とするプレーナ半導体構造。

(10) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタにおいて、半導体基板と、Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層と、前記第1の層上にエピタキシャル形成された第2のnドープ $\text{Si}_{1-x}\text{Ge}_x$ 層と、前記第2の層上にエピタキシャル形成された第3の非ドープ $\text{Si}_{1-y}\text{Ge}_y$ 層と、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が300Kで $2000\text{ cm}^2/\text{Vs}$ ないし $2500\text{ cm}^2/\text{Vs}$ の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第4の層と、少なくとも前記第4の層に位置する前記ソース領域および前記ドレイン領域と、前記第4の層上に形成された第5の誘電材料層と、前記第5の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

(11) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタにおいて、半導体基板と、Ge分率xが0.20ないし0.5の範囲である、前記基板上にエピタキシャル形成された第1の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層と、Ge分率yが0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、前記第1の層上にエピタキシャル形成された第2の $\text{Si}_{1-y}\text{Ge}_y$ 層と、少なくとも前記第2の層に位置する前記ソース領域および前記ドレイン領域と、前記第2の層上にエピタキシャル形成された第3のシリコン層と、前記第3の層上に形成された第4の誘電材料層と、前記第4の層上に形成されたゲート電極とを備えることを特徴とする電界効果トランジスタ。

(12) さらに、Ge分率zが0.20ないし0.5の範囲である、前記第2の層と前記第3の層の間にエピタキシャル形成された第5の $\text{Si}_{1-z}\text{Ge}_z$ 層を含むことを特徴とする上記(1)に記載の電界効果トランジスタ。

(13) n型電界効果トランジスタとp型電界効果トランジスタを共に備える層構造を形成する方法において、半導体基板を選択するステップと、Ge分率xが0.20ないし0.5の範囲である、第1の緩和 $\text{Si}_{1-x}\text{Ge}_x$

層を前記基板上にエピタキシャル形成するステップと、第2のnドープ $\text{Si}_{1-x}\text{Ge}_x$ 層を前記第1の層上にエピタキシャル形成するステップと、第3の非ドープ $\text{Si}_{1-y}\text{Ge}_y$ 層を前記第2の層上にエピタキシャル形成するステップと、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第3の層上にエピタキシャル形成され引張りひずみを受ける、第4の層を形成するステップと、第5の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層を前記第4の層上にエピタキシャル形成するステップと、Ge分率yが0.5ないし1.0の範囲であり、 $y-x$ が0.2よりも大きく、圧縮ひずみを受ける、第6の $\text{Si}_{1-y}\text{Ge}_y$ 層を形成するステップと、第7の緩和 $\text{Si}_{1-x}\text{Ge}_x$ 層を前記第6の層上にエピタキシャル形成するステップと、第8のシリコン層を前記第7の層上にエピタキシャル形成するステップと、第9の誘電材料層を前記第8の層上に形成するステップとを含む方法。

(14) さらに、ゲート電極を形成するために、前記第9の誘電材料層上に形成され、リソグラフィによってパターン化された、第10のポリシリコン層を形成するステップを含むことを特徴とする上記(13)に記載の層構造を形成する方法。

(15) さらに、p型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第6の層から前記第8の層に至るp型領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(16) さらに、少なくとも前記第2の層に位置するp型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(17) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(18) さらに、少なくとも前記第4の層に位置するn型のソース領域およびドレイン領域を形成するステップを含むことを特徴とする上記(14)に記載の層構造を形成する方法。

(19) さらに、n型電界効果トランジスタを形成するために、少なくとも1つのゲート電極の両側に前記第4の層から前記第8の層に至るn型領域を形成するステップを含むことを特徴とする上記(15)に記載の層構造を形成する方法。

(20) さらに、CMOS論理回路を形成するために、前記ゲート電極、前記p型領域、および前記n型領域を相互接続するステップを含むことを特徴とする上記(19)に記載の層構造を形成する方法。

(21) 電子キャリア・チャンネルおよび正孔キャリア・

チャンネルを形成するプレーナ半導体構造を形成する方法において、単結晶基板を選択するステップと、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有する、前記基板上に形成された複数のコメンシュレート半導体材料層を形成するステップと、電流を前記層のうちの前記第 1 の層を通過させるために、前記層のうちの少なくとも前記第 1 の層に位置する複数の n 型領域を形成するステップと、電流を前記層のうちの前記第 2 の層を通過させるために、前記層のうちの少なくとも前記第 2 の層に位置する複数の p 型領域を形成するステップとを含み、複数のコメンシュレート層を形成する前記ステップがさらに、引張りひずみを受け、それによって、伝導帯をフェルミ準位よりも低いものにする、前記層のうちの少なくとも第 1 の層を形成するステップと、圧縮ひずみを受け、それによって、価電子帯をフェルミ準位よりも高いものにする、前記層のうちの少なくとも第 2 の層を形成するステップとを含む、ことを特徴とする方法。

(22) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、半導体基板を選択するステップと、Ge 分率  $x$  が 0.20 ないし 0.5 の範囲である、第 1 の緩和  $Si_{1-x}Ge_x$  層を前記基板上にエピタキシャル形成するステップと、第 2 の n ドープ  $Si_{1-x}Ge_x$  層を前記第 1 の層上にエピタキシャル形成するステップと、第 3 の非ドープ  $Si_{1-x}Ge_x$  層を前記第 2 の層上にエピタキシャル形成するステップと、シリコンと、ゲルマニウムと、シリコン・ゲルマニウムと、それらの合金とから成る群から選択された組成を有し、前記第 3 の層上にエピタキシャル形成され、引張りひずみを受け、二重帯の電子移動度が 300 K で  $2000\text{ cm}^2/\text{Vs}$  ないし  $2500\text{ cm}^2/\text{Vs}$  の範囲である、二重縮退伝導帯および四重縮退伝導帯として、伝導帯を分割する、第 4 の層を形成するステップと、少なくとも前記第 4 の層に位置する前記ソース領域および前記ドレイン領域を形成するステップと、第 5 の誘電材料層を前記第 4 の層上に形成するステップと、ゲート電極を前記第 5 の層上に形成するステップとを含むことを特徴とする方法。

(23) ソース領域とドレイン領域とを有し、チャンネル中の電子移動度が高い、電界効果トランジスタを形成する方法において、半導体基板を選択するステップと、Ge 分率  $x$  が 0.20 ないし 0.5 の範囲である、第 1 の緩和  $Si_{1-x}Ge_x$  層を前記基板上にエピタキシャル形成するステップと、Ge 分率  $y$  が 0.5 ないし 1.0 の範囲であり、 $y-x$  が 0.2 よりも大きく、圧縮ひずみを受け、その結果、正孔が閉じ込められる、第 2 の  $Si_{1-y}Ge_y$  層を前記第 1 の層上にエピタキシャル形成するステップと、前記ソース領域および前記ドレイン領域を少なくとも前記第 2 の層に形成するステップと、第 3 のシリコン層を前記第 2 の層上にエピタキシャル形成する

ステップと、第 4 の誘電材料層を前記第 3 の層上に形成するステップと、ゲート電極を第 4 の層上に形成するステップとを含むことを特徴とする方法。

(24) さらに、Ge 分率  $z$  が 0.20 ないし 0.5 の範囲である第 5 の  $Si_{1-z}Ge_z$  層を前記第 2 の層と前記第 3 の層の間にエピタキシャル形成するステップを含むことを特徴とする上記 (23) に記載の電界効果トランジスタを形成する方法。

(25) 前記第 1 の層がさらに、前記第 1 の層中または前記第 1 の層より下の寄生電流を防ぐために n 型トランジスタの領域の下に p 型領域を含むことを特徴とする上記 (1) に記載の層構造。

(26) 前記第 1 の層がさらに、前記第 1 の層中または前記第 1 の層より下の寄生電流を防ぐために p 型トランジスタの領域の下に n 型領域を含むことを特徴とする上記 (1) に記載の層構造。

#### 【図面の簡単な説明】

【図 1】本発明の一実施例の平面図である。

【図 2】図 1 の線 2-2 に沿った断面図である。

【図 3】伝導帯の底部での電子のエネルギーを、正のゲート・バイアス  $V_g$  をもつゲート電極に対する距離の関数として示すグラフである。

【図 4】価電子帯の頂部での電子のエネルギーを、負のゲート・バイアス  $V_g$  をもつゲート電極に対する距離の関数として示すグラフである。

【図 5】図 1 に示した CMOS インバータ 9 の概略回路である。

【図 6】本発明の第 2 の実施例の平面図である。

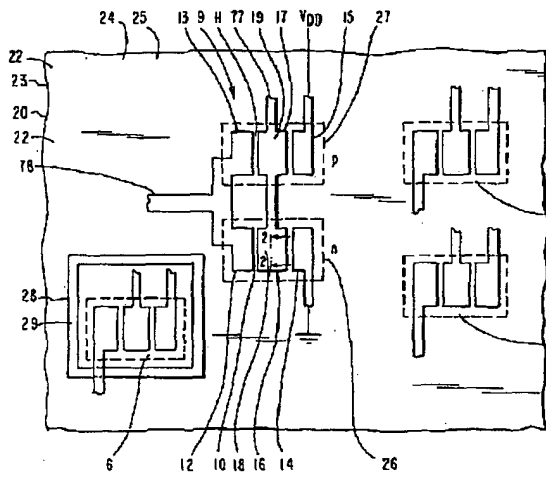
【図 7】第 2 の実施例を示す図 6 の線 7-7 に沿った断面図である。

【図 8】第 3 の実施例を示す図 6 の線 7-7 に沿った断面図である。

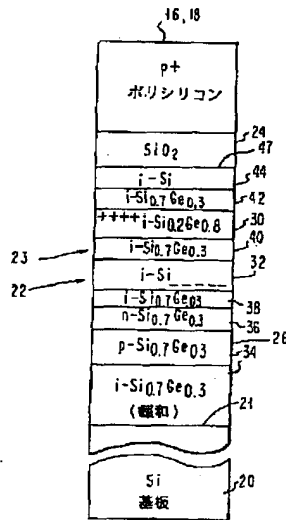
#### 【符号の説明】

- 9 CMOS インバータ
- 10 電界効果トランジスタ
- 12 ドレイン領域
- 14 ソース領域
- 16 ゲート電極
- 20 半導体基板
- 21 上部表面
- 22 プレーナ・ヘテロ構造
- 24 頂部層
- 26 p 型領域
- 27 n 型領域
- 28 トレンチ
- 32 引張りひずみを受ける  $Si$  層または  $Si_{1-z}Ge_z$  層
- 34 緩和層
- 36 薄い n ドープ緩和  $SiGe$  層

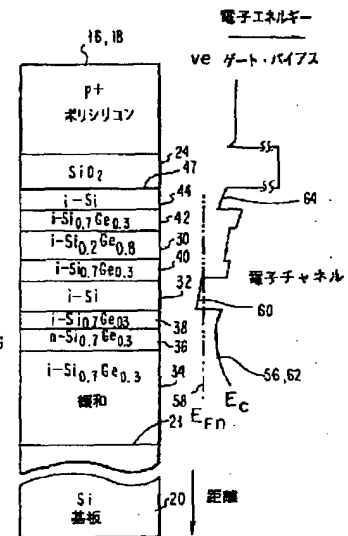
【図1】



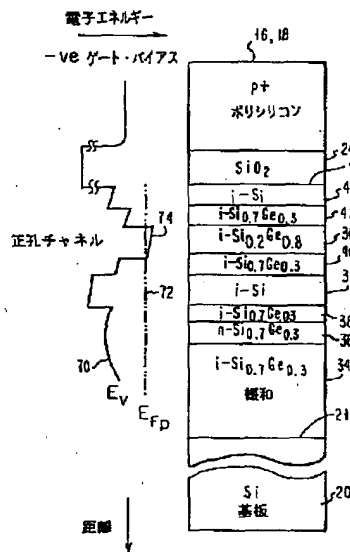
【図2】



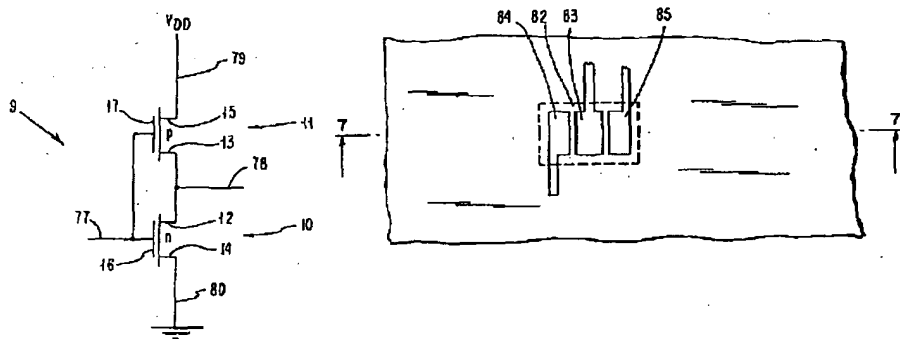
【図3】



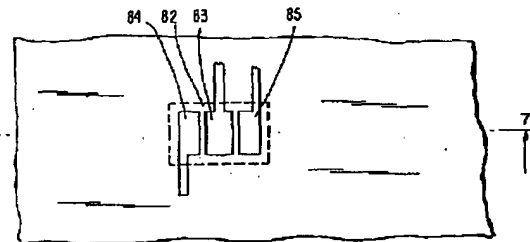
【図4】



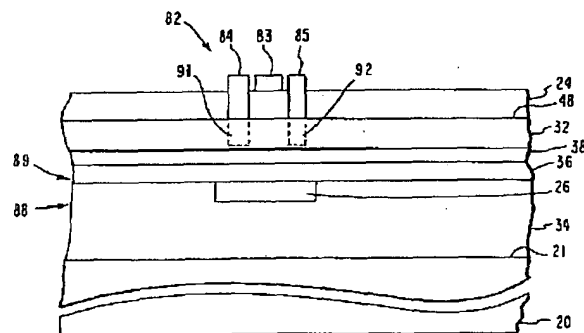
【図5】



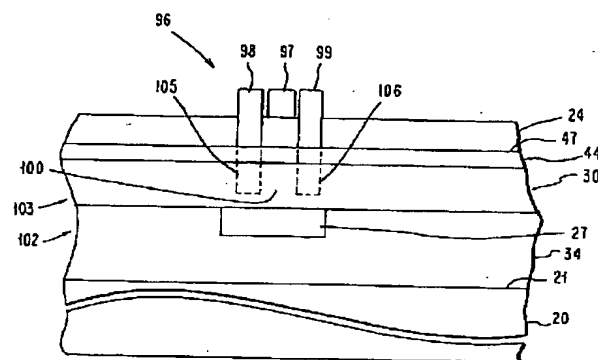
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 フランク・スターン  
アメリカ合衆国10570 ニューヨーク州ブ  
レザントヴィル ロビンズ・ロード 6